

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-045766

(43)Date of publication of application : 14.02.1997

(51)Int.Cl.

H01L 21/768  
H01L 27/04  
H01L 21/822  
H01L 27/08  
H01L 27/108  
H01L 21/8242

(21)Application number : 07-192723

(71)Applicant : HITACHI LTD  
HITACHI HOKKAI  
SEMICONDUCTOR LTD

(22)Date of filing : 28.07.1995

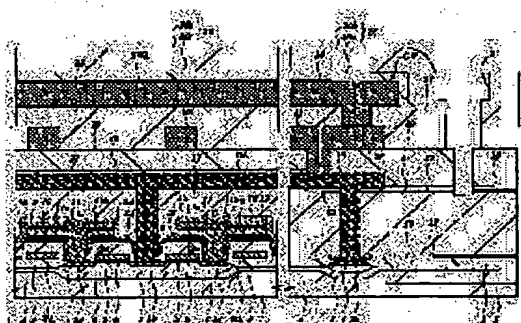
(72)Inventor : SUWAUCHI NAOKATSU  
FUJIOKA YASUhide

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent such a foreign matter like moisture from reaching the inside of a chip through a crack generated in the interface between a BPSG film and another insulation film, in a device with a flat interlayer insulation film formed using the BPSG film containing high-concentration boron.

**SOLUTION:** Outside a guard ring GR formed along the outer peripheral portion of the principal surface of a semiconductor chip 1, a slit (S) is formed whose bottom portion reaches at least a deeper place than the interface between an interlayer insulation film 23 and a BPSG film 20 of the lower layer thereof. By the slit S, a crack generated in the interface between the BPSG film 20 containing high-concentration boron and the interlayer insulation film 23 is prevented from proceeding into the inside of the chip 1 along this interface.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45766

(43) 公開日 平成9年(1997)2月14日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L	21/90 R
	27/04			27/08 3 3 1 B
	21/822			27/04 C
	27/08	3 3 1		27/10 6 2 1 A
	27/108			6 8 1 F

審査請求 未請求 請求項の数13 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願平7-192723

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 諏訪内 尚克

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 藤岡 靖秀

北海道亀田郡七飯町字中島145番地 日立  
北海セミコンダクタ株式会社内

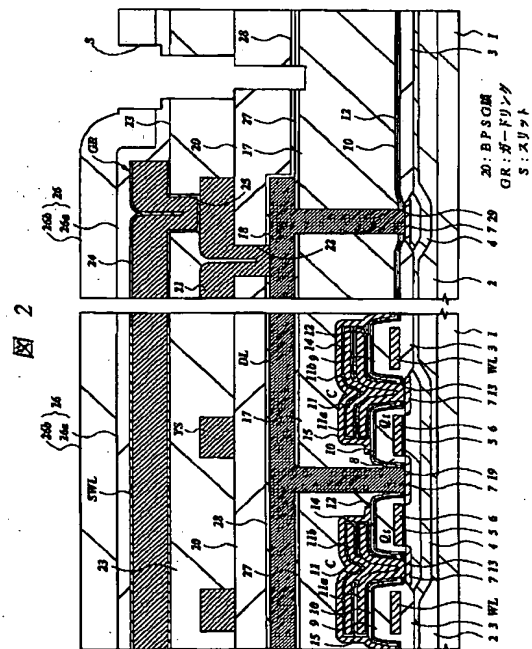
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【目的】 高濃度のホウ素を含むBP SG膜を用いて平坦な層間絶縁膜を形成するデバイスにおいて、BP SG膜と他の絶縁膜との界面に発生したクラックを通じて水分などの異物がチップ内部に達するのを防止する。

【構成】 半導体チップ1の主面の外周部に沿って形成されたガードリングGRのさらに外側に、その底部が少なくとも層間絶縁膜23とその下層のBP SG膜20との界面よりも深い位置まで達するスリットSを形成し、高濃度のホウ素を含むBP SG膜20と層間絶縁膜23との界面に発生したクラックがこの界面に沿ってチップ内部へと進行するのをスリットSにより阻止する。



1

## 【特許請求の範囲】

【請求項1】 半導体チップ上に堆積した層間絶縁膜の一部を、ホウ素を含有する酸化シリコン膜で構成した半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜とその上層に堆積された層間絶縁膜との界面よりも深いスリットを前記半導体チップの周辺部に沿って設けたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記半導体チップの周辺部には、前記半導体チップの側壁から浸入する水分を遮断するためのガードリングが設けられており、前記スリットは、前記ガードリングの外側に設けられていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であって、前記スリットは、前記半導体チップの周辺部に沿って連続的に設けられていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記半導体チップの表面を覆うパッシベーション膜の少なくとも一部が窒化シリコン膜からなることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記酸化シリコン膜中のホウ素濃度が10モル%以上であることを特徴とする半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置であって、前記酸化シリコン膜中のホウ素濃度が13モル%程度であることを特徴とする半導体集積回路装置。

【請求項7】 請求項1記載の半導体集積回路装置であって、前記半導体集積回路装置は、メモリセル選択用MISFETの上部に情報蓄積用容量素子を配置したスタック構造のメモリセルを備えたDRAMであり、前記ホウ素を含有する酸化シリコン膜は、前記メモリセルの上層の層間絶縁膜の一部を構成していることを特徴とする半導体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜の上層には、ホウ素を含有しない酸化シリコン膜が堆積され、前記ホウ素を含有しない酸化シリコン膜の上層には、少なくとも一部が窒化シリコン膜からなるパッシベーション膜が堆積されていることを特徴とする半導体集積回路装置。

【請求項9】 四角形の主面の周辺部である第1の領域と、前記第1の領域の内側の第2の領域とを有する半導体基板と、

前記第2の領域に形成され、ソース領域、ドレイン領域およびゲート電極を有する複数のMISFETと、

前記第1の領域および第2の領域に形成され、前記第1の領域においては前記半導体基板の主面に形成された半導体領域を露出する第1の接続孔と、前記第2の領域においては前記複数のMISFETのソース領域またはド

2

レイン領域を露出する第2の接続孔とを有するホウ素を含有する酸化シリコン膜と、

前記第1の領域において、前記第1の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第1の導体層と、

前記第2の領域において、前記第2の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第2の導体層と、

前記第1および第2の導体層上に形成されたホウ素を含有しない酸化シリコン膜とを有する半導体集積回路装置であって、

前記第1の導体層は、前記四角形の主面の周辺部に沿って連続的に配置されており、前記第1の領域において、前記第1の導体層の外側には、前記ホウ素を含有する酸化シリコン膜と、前記ホウ素を含有しない酸化シリコン膜との界面を貫通する溝が形成されていることを特徴とする半導体集積回路装置。

【請求項10】 請求項9記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜中のホウ素濃度が10モル%以上であることを特徴とする半導体集積回路装置。

【請求項11】 請求項9記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜中のホウ素濃度が13モル%程度であることを特徴とする半導体集積回路装置。

【請求項12】 半導体基板の主面上に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の配線層を形成する工程と、前記第1の配線層上にホウ素を含有する酸化シリコン膜からなる第2の絶縁膜を形成する工程と、

前記第2の絶縁膜上に第2の配線層を形成する工程と、前記第2の配線層上にホウ素を含有しない酸化シリコン膜からなる第3の絶縁膜を形成する工程と、

前記第3の絶縁膜に前記第2の配線層を露出する接続孔を開孔すると共に、前記半導体基板の主面の周辺部に前記第3の絶縁膜から前記第3の絶縁膜と前記第2の絶縁膜との界面に達する溝を開孔する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項13】 請求項12記載の半導体集積回路装置の製造方法であって、前記溝を前記半導体基板の周辺部に沿って連続的に開孔することを特徴とする半導体集積回路装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、層間絶縁膜の一部にBPSG(Boron-doped Phospho Silicate Glass)膜を用いるデバイスに適用して有効な技術に関するものである。

## 【0002】

【従来の技術】 LSIの微細化、高集積化に伴って、半

導体素子上の配線段差が増大の一途を辿っている。例えば近年の大容量DRAM(Dynamic Random Access Memory)は、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量(Cs)の減少を補うために、情報蓄積用容量素子をメモリセル選択用MISFETの上部に配置するスタック・キャパシタ構造を採用しているため、メモリアレイと周辺回路との間にはば情報蓄積用容量素子の高さ分に相当する段差が発生する。また、メモリアレイの領域内および周辺回路の領域内にも段差が発生する。

【0003】このような段差上に配線を形成すると、フォトリソグラフィ時に露光光の焦点ずれが生じたり、段差部にエッチング残りが生じたりするために、配線を精度良く形成することができず、短絡や断線などの不良が発生する。

【0004】上記の問題を解決するためには、下層の配線と上層の配線とを絶縁する層間絶縁膜を平坦化する技術が不可欠となる。層間絶縁膜の平坦化については、リフロー性が高いBPSG膜やスピノングラス(Spin On Glass)膜を用いる方法、成膜とスパッタエッチングとを同時に進行させるバイアスECRプラズマCVD法、化学的機械研磨法(Chemical Mechanical Polishing)など種々の方法が開発されている。

【0005】例えば特開平7-122654号公報に記載されたDRAMは、BPSG膜のリフローによる平坦化とスピノングラス膜による平坦化とを組み合わせ、段差の低減を図っている。BPSG膜は、ホウ素(B)およびリン(P)をそれぞれ数モル%ずつ含んだ酸化シリコンからなり、CVD法で成膜を行った後、アニールによるリフローでその表面を平坦化する。スピノングラス膜を使用する場合は、まずプラズマCVD法で酸化シリコン膜を堆積し、その上に回転塗布法でスピノングラス膜を被着する。次に、このスピノングラス膜をベークして膜を緻密化した後、エッチバックでその表面を平坦化し、さらにその上にプラズマCVD法で酸化シリコン膜を堆積して平坦な層間絶縁膜とする。

【0006】

【発明が解決しようとする課題】LSIの製造プロセスでは、LSIを形成した半導体ウエハをダイシングして半導体チップに分割し、これらを一個ずつリードフレームに取り付け(ベレット付け)、ワイヤボンディングを行った後、モールド樹脂で封止することが行われている。

【0007】上記した半導体ウエハのダイシングは、ダイヤモンドブレードなどを使って機械的に行われるため、半導体チップの側壁に微細なクラックが発生し、そこからチップ内部に水分または異物が浸入して配線腐食を引き起こすことがある。これを防止するために、通常、半導体チップの周辺部にガードリングが設けられる。ガードリングは、半導体チップの周辺部に沿って形成した溝の内部に回路の配線材料(アルミニウム合金や

タングステンなど)を埋め込んだもので、チップの側壁から浸入した水分または異物がチップ内部に浸入するのをこの配線材料で遮断する。

【0008】ところが、層間絶縁膜の一部に前記BPSG膜を使用した場合、膜中のホウ素(B)濃度がある値以上になると、チップ端部で発生したクラックがガードリングを貫通してチップ内部まで達するようになり、その結果、このクラックを通じてチップ内部に水分などが浸入して配線腐食を引き起こすことが本発明者の検討によって明らかとなった。本発明者が検討したBPSG膜中のホウ素濃度とチップ端部で発生するクラックとの関係は、概略次の通りである。

【0009】図12は、配線を形成した基板上にCVD法でBPSG膜を堆積し、リフローを行った場合における、BPSG膜中のホウ素濃度(単位:モル%)と配線側壁部のリフロー角( $\theta$ )との関係を示すグラフである。配線の膜厚は0.6 $\mu$ m、リフロー条件は850 $^{\circ}$ C、20分とした。また、BPSG膜中のリン濃度は、ホウ素濃度に比べてリフロー角に及ぼす影響が小さいので、6モル%に固定した。図示のように、BPSG膜中のホウ素濃度が高くなるにつれてリフロー角( $\theta$ )が大きくなり、膜の平坦性が向上する。

【0010】上記の結果から、LSIの微細化、高集積化に伴って配線段差が大きくなると、BPSG膜の平坦性を確保するために、膜中のホウ素濃度をより高くしなければならぬことが分かる。また、LSIを微細化、高集積化するためには、MISFETのソース、ドレイン領域などのpn接合を浅接合化する必要があるが、浅い接合を実現するためにはBPSG膜のアニールも低温で行わなければならない。しかし、アニール温度を下げると膜のリフロー性が低下する。従って、より低温で良好なリフロー性を確保するためにも、膜中のホウ素濃度をより高くすることが要求される。

【0011】例えば0.8 $\mu$ mの設計ルールで製造される4メガビットMbit DRAMの場合は、ホウ素濃度が7~8モル%のBPSG膜を950 $^{\circ}$ C程度の温度でアニールしているが、0.5 $\mu$ m前後の設計ルールで製造される16メガビットDRAMの場合は、これと同等以上のリフロー性を確保するためには、トランジスタの性能向上を考慮すると850 $^{\circ}$ C程度の温度でアニールすることが要求される。そのためには、ホウ素濃度が10モル%程度以上のBPSG膜を使用しなければならず、さらにホウ素濃度のばらつきを考慮すると13モル%程度のホウ素を含むBPSG膜を使用することが望まれる。

【0012】ところが、BPSG膜中のホウ素濃度を高くすると、次のような問題が生じることが判明した。図13は、BPSG膜中のホウ素濃度(単位:モル%)とチップ端部でのクラック発生による配線不良率との関係を示すグラフである。図示のように、BPSG膜中のホウ素濃度が約15モル%を超えると、急速

に不良率が高くなる。

【0013】その原因の一つは、BPSG膜中のホウ素濃度が高くなると膜の吸湿性が高くなり、膜が吸湿した状態でその上に絶縁膜（プラズマCVD法で堆積した酸化シリコン膜など）を堆積すると、この絶縁膜との接着性が低下するために、ダイシング時にチップ端部で発生した微小なクラックがパッケージの高温多湿試験（例えば温度85℃、湿度85%の環境での放置試験）時などにこれらの膜の界面に沿ってチップ内部へと成長していくことが考えられる。

【0014】また、半導体チップの表面を覆うパッシベーション膜の材料には、チップ内部を保護するためにプラズマCVD法で堆積した窒化シリコン膜のような緻密で硬質な絶縁膜が使用されるが、このような材料で構成されたパッシベーション膜は、膜の剛性が高いためにその下層の層間絶縁膜に大きなストレスを及ぼし、これが上記したクラックの成長を加速していくものと考えられる。

【0015】つまり、BPSG膜のホウ素濃度が15モル%程度まで高くなると、膜の表面が露出した状態で接  
続孔を形成したときや、膜の上部に堆積した金属膜をパ  
ターニングして配線を形成したときに吸湿してしまう。  
この吸湿したBPSG膜上に絶縁膜を堆積すると、これ  
らの膜の界面の接着性が低下し、チップ端部で発生した  
微小なクラックがこの界面に沿って成長するようになる。  
そして、剛性が高いパッシベーション膜からのスト  
レスによってクラックの成長がさらに加速され、ガード  
リングを切断してチップ内部にまで達する結果、ガード  
リングの防水機能が失われて配線腐食に至るものと推定  
される。

【0016】前述したように、0.5μm前後の設計ルールで製造される16メガビットDRAMの場合は、13モル%程度のホウ素を含むBPSG膜を使用することが要求される。そのため、BPSG膜の成膜条件によっては、膜中のホウ素濃度が膜の接着性が低下する濃度（15モル%程度）まで高くなり、前記したクラックに起因する配線腐食が発生する虞れがある。

【0017】以上のことから、0.5μmおよびそれ以降のより微細な設計ルールで製造されるデバイスにおいて、層間絶縁膜材料の一部に高濃度のホウ素を含むBP  
SG膜を使用する場合は、前記した膜の界面のクラック  
に起因する配線腐食を防止するための対策が不可欠とな  
る。

【0018】本発明の目的は、高濃度のホウ素を含んだBPSG膜を熱処理（リフロー）して層間絶縁膜を平坦化するデバイスにおいて、BPSG膜とその上に堆積した絶縁膜との界面に発生したクラックがチップ内部に達するのを有効に防止することのできる技術を提供することにある。

【0019】本発明の他の目的は、デバイスの製造工程

を増やすことなく上記目的を達成することのできる技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

10 【0022】（1）本発明の半導体集積回路装置は、半導体チップ上に堆積した層間絶縁膜の一部を、ホウ素を含有する酸化シリコン膜で構成し、前記ホウ素を含有する酸化シリコン膜とその上層または下層に堆積された層間絶縁膜との界面よりも深いスリットを前記半導体チップの周辺部に沿って設けたものである。

【0023】（2）本発明の半導体集積回路装置は、前記スリットをガードリングの外側に設けたものである。

20 【0024】（3）本発明の半導体集積回路装置は、メモリセル選択用MISFETの上部に情報蓄積用容量素子を配置したスタック構造のメモリセルを備えたDRAMであり、前記ホウ素を含有する酸化シリコン膜は、前記メモリセルの上層の層間絶縁膜の一部を構成している。

30 【0025】（4）本発明の半導体集積回路装置は、四角形の主面の周辺部である第1の領域と、前記第1の領域の内側の第2の領域とを有する半導体基板と、前記第2の領域に形成され、ソース領域、ドレイン領域およびゲート電極を有する複数のMISFETと、前記第1の領域および第2の領域に形成され、前記第1の領域においては前記半導体基板の主面に形成された半導体領域を露出する第1の接続孔と、前記第2の領域においては前記複数のMISFETのソース領域またはドレイン領域を露出する第2の接続孔とを有するホウ素を含有する酸化シリコン膜と、前記第1の領域において、前記第1の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第1の導体層と、前記第2の領域において、前記第2の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第2の導体層と、前記第1および第2の導体層上に形成されたホウ素を含有しない酸化シリコン膜とを有し、前記第1の導体層は、前記四角形の主面の周辺部に沿って連続的に配置されており、前記第1の領域において、前記第1の導体層の外側には、前記ホウ素を含有する酸化シリコン膜と、前記ホウ素を含有しない酸化シリコン膜との界面を貫通する溝が形成されているものである。

40 【0026】（5）本発明の半導体集積回路装置の製造方法は、半導体基板の主面上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の配線層を形成する工程と、前記第1の配線層上にホウ素を含有する酸化シリコン膜からなる第2の絶縁膜を形成する工程と、前記

第2の絶縁膜上に第2の配線層を形成する工程と、前記第2の配線層上にホウ素を含有しない酸化シリコン膜からなる第3の絶縁膜を形成する工程と、前記第3の絶縁膜に前記第2の配線層を露出する接続孔を開孔すると共に、前記半導体基板の主面の周辺部に前記第3の絶縁膜から前記第3の絶縁膜と前記第2の絶縁膜との界面に達する溝を開孔する工程とを含んでいる。

【0027】(6) 本発明の半導体集積回路装置の製造方法は、前記ガードリングを形成するためのエッチング工程と、前記半導体チップの表面を覆うパッシベーション膜を開孔してパッドを形成するためのエッチング工程とを利用して前記スリットを形成するものである。

【0028】

【作用】上記した手段によれば、ホウ素を含む酸化シリコン膜とその上層の絶縁膜との界面に発生したクラックがこの界面に沿ってチップ内部へと進行するのをスリットで阻止することができるので、このクラックを通じて外部から浸入する水分による配線腐食を確実に防止できる。

【0029】上記した手段によれば、ガードリングを形成するためのエッチング工程と、半導体チップの表面を覆うパッシベーション膜を開孔してパッドを形成するためのエッチング工程とを利用してスリットを形成することにより、製造工程を増やすことなくスリットを形成することができる。

【0030】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。なお、実施例を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0031】図1は、本発明の一実施例であるDRAMを形成した半導体チップの外観を示す平面図である。図示のように、単結晶シリコンからなる半導体チップ1の主面には、X方向(半導体チップ1の長辺方向)およびY方向(半導体チップ1の短辺方向)に沿って多数のメモリアレイMAがマトリクス状に配置されている。

【0032】X方向に沿って互いに隣接するメモリアレイMAの間にはセンスアンプ列SAが配置されており、Y方向に沿って互いに隣接するメモリアレイMAの間にはワード線シャント部WSが配置されている。すなわち、それぞれのメモリアレイMAは、Y方向に延在するセンスアンプ列SAとX方向に延在するワード線シャント部WSとによって周囲を規定された領域に配置されている。

【0033】半導体チップ1の主面の中央部には、ワード線駆動回路、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている

(図には示さない)。また、半導体チップ1の主面の外周部には、水分や汚染物質あるいは周囲の電気的外乱から回路を保護するためのガードリングGRが上記した回

路を取り囲むように、切れ目なく連続的に配置されている。

【0034】本実施例の半導体チップ1の特徴は、後述するBPSG膜とその上部の絶縁膜との界面に発生したクラックがチップ内部に達するのを防止するために、半導体チップ1の主面の最外周部、すなわち上記ガードリングGRのさらに外側にスリット(溝)Sを設けたことにある。このスリットSは、ガードリングGRを取り囲むように、切れ目なく連続的に配置されている。

【0035】次に、上記メモリアレイMAの構成と、チップ外周部に形成されたガードリングGRおよびスリットSの構成を図2を用いて説明する。同図の左側部分はメモリアレイMAの断面図、右側部分はチップ外周部の断面図である。

【0036】p型の単結晶シリコンからなる半導体基板1の主面には、p型ウエル2が形成されている。p型ウエル2の非活性領域の主面には、素子分離用のフィールド酸化膜3が形成されており、フィールド酸化膜3の下部を含むp型ウエル2内には、p型のチャネルストッパ層4が形成されている。このp型ウエル2には、メモリセルの誤動作を防ぐために所定の基板電圧(V<sub>BB</sub>)が印加される。

【0037】DRAMのメモリセルは、フィールド絶縁膜3で周囲を囲まれたp型ウエル2の活性領域の主面上に形成されている。メモリセルは、nチャネル型で構成されたメモリセル選択用MISFETQ<sub>t</sub>と、その上部に配置された情報蓄積用容量素子Cとで構成されている。

【0038】メモリセル選択用MISFETQ<sub>t</sub>は、ゲート酸化膜5、ゲート電極6および一對のn型半導体領域7、7(ソース、ドレイン領域)で構成されている。ゲート電極6はワード線WLと一体に構成されている。ゲート電極6およびワード線WLは、第1層目の多結晶シリコン膜で構成されている。この多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物(例えばP)が導入されている。なお、ゲート電極6(ワード線WL)は、多結晶シリコン膜の上部にWSi<sub>x</sub>、MoSi<sub>x</sub>、TiSi<sub>x</sub>、TaSi<sub>x</sub>などの高融点金属シリサイド膜を積層したポリサイド膜で構成してもよい。

【0039】ゲート電極6の側壁には、酸化シリコンのサイドウォールスペーサ8が形成されている。また、ゲート電極6の上部には酸化シリコン膜9が形成されている。サイドウォールスペーサ8および酸化シリコン膜9の上部には酸化シリコン膜10が形成されており、この酸化シリコン膜10の上部には窒化シリコン膜12が形成されている。

【0040】上記窒化シリコン膜12の上部には、情報蓄積用容量素子Cの蓄積電極11が形成されている。蓄積電極11は、第1層目(下層)のフィン11aとその上部に形成された第2層目(上層)のフィン11bとを

備えている。下層のフィン11aは第2層目の多結晶シリコン膜で構成され、上層のフィン11bは第3層目の多結晶シリコン膜で構成されている。フィン11a、11bを構成するこれらの多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物（例えばP）が導入されている。

【0041】情報蓄積用容量素子Cの蓄積電極11は、窒化シリコン膜12、酸化シリコン膜10および酸化シリコン膜（ゲート酸化膜5と同一工程で形成された半導体領域7上の酸化シリコン膜）に開孔された接続孔13を通じて、メモリセル選択用MISFETQ<sub>t</sub>の一方の半導体領域7に接続されている。

【0042】蓄積電極11の上層には、誘電体膜14を挟んで情報蓄積用容量素子Cのプレート電極15が形成されている。誘電体膜14は、窒化シリコン膜と酸化シリコン膜とを積層した絶縁膜で構成されている。プレート電極15は、第4層目の多結晶シリコン膜で構成されている。この多結晶シリコン膜には、その抵抗値を低減するためにn型の不純物（例えばP）が導入されている。

【0043】メモリセルの情報蓄積用容量素子Cの上層には、BPSG膜17および酸化シリコン膜27を介してデータ線DLが形成されている。また、チップ外周部の酸化シリコン膜27上には、ガードリングGRの一部を構成する配線18が形成されている。

【0044】上記BPSG膜17は、情報蓄積用容量素子Cとその上層のデータ線DLとを電気的に分離すると共に、メモリセル選択用MISFETQ<sub>t</sub>の上層に情報蓄積用容量素子Cを配置したことによって生じたメモリアレイMA内の段差と周辺回路内の段差とを緩和するために設けられている。このBPSG膜17には、そのリフロー性を向上させるために10モル%以上（例えば13モル%程度）のホウ素が含有されている。

【0045】上記データ線DLおよび配線18は、多結晶シリコン膜の上にタングステンシリサイド（WSi<sub>x</sub>）膜を積層したポリサイド膜で構成されている。データ線DLは、酸化シリコン膜27およびBPSG膜17に開孔された接続孔19を通じてメモリセル選択用MISFETの一方の半導体領域7と電気的に接続されている。また、配線18は、酸化シリコン膜27およびBPSG膜17に開孔された接続孔29を通じてp型ウェル2の半導体領域7と電気的に接続されている。

【0046】データ線DLの上層には、酸化シリコン膜28およびBPSG膜20を介してYセレクト線YSが形成されている。また、チップ外周部のBPSG膜20上には、ガードリングGRの一部を構成する配線21が形成されている。BPSG膜20は、データ線DLとその上層のYセレクト線YSとを電気的に分離すると共に、情報蓄積用容量素子Cの上層にデータ線DLを配置したことによって生じたメモリアレイMA内の段差と周

辺回路内の段差とを緩和するために設けられている。このBPSG膜20には、前記BPSG膜17と同様、そのリフロー性を向上させるために10モル%以上（例えば13モル%程度）のホウ素が含有されている。

【0047】Yセレクト線YSおよび配線21は、タングステン（W）膜で構成されている。配線21は、BPSG膜20および酸化シリコン膜28に開孔された接続孔22を通じて下層の配線18と接続されている。なお、図示しない周辺回路領域には、Yセレクト線YSおよび配線21と同層のW膜で構成された配線が形成されている。

【0048】Yセレクト線YSの上層には、層間絶縁膜23を介してシャント用ワード線SWLが形成されている。また、チップ外周部の層間絶縁膜23上には、ガードリングGRの一部を構成する配線24が形成されている。層間絶縁膜23は、酸化シリコン膜、スピノングラス膜および酸化シリコン膜を積層した3層の絶縁膜で構成されている。シャント用ワード線SWLおよび配線24は、チタニウムタングステン（TiW）膜、Al膜およびTiW膜を積層した3層の導電膜で構成されている。

【0049】上記配線24は、層間絶縁膜23に開孔された接続孔25を通じて下層の配線21と接続されている。つまり、半導体チップ1の外周部に設けられたガードリングGRは、酸化シリコン膜27およびBPSG膜17に開孔された接続孔29と、BPSG膜20および酸化シリコン膜28に開孔された接続孔22と、層間絶縁膜23に開孔された接続孔25とを通じて互いに接続された3層の配線18、21、24で構成されており、半導体チップ1の側壁から浸入した水分などがチップ内部に浸入するのをこれらの配線18、21、24で遮蔽している。

【0050】シャント用ワード線SWLおよび配線24の上層には、半導体チップ1の表面を保護するパッシベーション膜26が形成されている。パッシベーション膜26は、プラズマCVD法で堆積した酸化シリコン膜26aおよび窒化シリコン膜26bを積層した2層の絶縁膜で構成されている。

【0051】半導体チップ1の最外周部には、パッシベーション膜26の表面からBPSG膜17に達する深いスリットSが形成されている。このスリットSの底部は、少なくとも層間絶縁膜23とその下層の高濃度のホウ素を含むBPSG膜20との界面を貫通している必要があるが、さらにBPSG膜17やその下層の絶縁膜を貫通して半導体基板1の表面にまで達していても支障はない。

【0052】このように、本実施例のDRAMは、半導体チップ1の主面の外周部に沿って形成されたガードリングGRのさらに外側に、その底部が少なくとも層間絶縁膜23とその下層のBPSG膜20との界面よりも深い位置まで達するスリットSを形成する。

【0053】この構成により、高濃度のホウ素を含むBPSG膜20と層間絶縁膜23との界面に発生したクラックがこの界面に沿ってチップ内部へと成長した場合でも、スリットSによってその進行が停止されるので、このクラックによってガードリングGRが切断されることはない。従って、このクラックを通じて外部から浸入した水分や汚染物質はガードリングGRによって阻止され、それ以上チップ内部に浸入することがないので、このクラックに起因する配線腐食が確実に防止される。

【0054】また、上記スリットSを備えた本実施例のDRAMによれば、ウエハプロセスにおいて、図3に示すように、ウエハのスクライブライン上にWのターゲットパターンTを配置することが可能になる。

【0055】ウエハプロセスでは、ウエハのスクライブライン上に各導電層毎のターゲットパターンを配置し、フォトリソグラフィ時にこのターゲットパターンの位置を検出することによって、上下のパターンの合わせ込みを行っている。しかし、スクライブライン上にWのターゲットパターンを配置すると、Wは非常に硬い金属であるために、スクライブラインに沿ってウエハをダイシングした際、ターゲットパターンの一部にクラックが発生し、そこからチップ内に水分が浸入して配線腐食を引き起こす虞れがある。そのため、従来は、Wのターゲットパターンをスクライブラインから外れた箇所に配置しなければならず、これによってウエハ1枚当たりのチップ取得数が制約を受けていた。

【0056】本実施例によれば、ダイシング時にスクライブライン上に配置されたWのターゲットパターンTの一部にクラックが生じ、このクラックがチップ内部へと成長した場合でも、スリットSによってその進行が停止されるので、このクラックによってガードリングGRが切断されることはない。

【0057】従って、本実施例によれば、ウエハのスクライブライン上にWのターゲットパターンTを配置することが可能となり、これによってウエハ1枚当たりのチップ取得数を増やすことができる。

【0058】次に、上記スリットSを形成する方法の一実施例を図4～図11を用いて説明する。

【0059】まず、半導体基板1上にDRAMのメモリセルを構成するメモリセル選択用MISFETQ<sub>t</sub>を形成し、次いでその上部に情報蓄積用容量素子Cを形成した後、図4に示すように、情報蓄積用容量素子Cのプレート電極15の上層に13モル%程度のホウ素を含んだBPSG膜17をCVD法で堆積する。BPSG膜17の膜厚は500nm程度である。続いて、850℃、20分程度のアニールを行ってBPSG膜17をリフローする。BPSG膜17は、ホウ素を高濃度に含有しているのでリフロー性が良好であることから、メモリセル選択用MISFETQ<sub>t</sub>の上部に情報蓄積用容量素子Cを配置したことによって生じたメモリアレイMA内の段差お

よび周辺回路内の段差を有効に緩和することができる。

【0060】次に、図5に示すように、BPSG膜17上にCVD法で酸化シリコン膜27を堆積し、酸化シリコン膜27およびBPSG膜17をエッチングしてメモリセル選択用MISFETの一方の半導体領域7に達する接続孔19、チップ外周部の半導体領域7に達する接続孔29をそれぞれ形成した後、酸化シリコン膜27上にCVD法で堆積したポリサイド膜をパターニングしてデータ線DLおよび配線18を形成する。

10 【0061】次に、図6に示すように、データ線DLおよび配線18の上層に酸化シリコン膜28および13モル%程度のホウ素を含んだBPSG膜20をCVD法で堆積する。BPSG膜20の膜厚は400nm程度である。続いて、850℃、20分程度のアニールを行ってBPSG膜20をリフローする。BPSG膜20は、ホウ素を高濃度に含有しているのでリフロー性が良好であることから、情報蓄積用容量素子Cの上層にデータ線DLを配置したことによって生じたメモリアレイMA内の段差および周辺回路内の段差を有効に緩和することができ

20 【0062】次に、図7に示すように、BPSG膜20および酸化シリコン膜28をエッチングして配線18に達する接続孔22を形成した後、BPSG膜20の上層にスパッタ法とCVD法とで堆積した2層のW膜をパターニングしてYセレクト線YSおよび配線21を形成する。ホウ素を高濃度に含有したBPSG膜20の表面は、接続孔22を形成する工程や、W膜をパターニングしてYセレクト線YSおよび配線21を形成する工程で水分に晒されて吸湿する。そのため、このBPSG膜20上に層間絶縁膜23を堆積すると、これらの膜の界面の接着力が非常に小さいことから、この界面でクラックが発生し易くなる。

【0063】次に、図8に示すように、Yセレクト線YSおよび配線21の上層に酸化シリコン膜、スピノングラス膜および酸化シリコン膜を順次堆積して層間絶縁膜23を形成した後、この層間絶縁膜23をエッチングして配線21に達する接続孔25とスリットSaを同時に形成する。酸化シリコン膜はプラズマCVD法で堆積し、スピノングラス膜は回転塗布法で堆積する。また、スリットSaの直径は2μm程度とする。

【0064】次に、図9に示すように、層間絶縁膜23の上層にスパッタ法で堆積した3層の導電膜(TiW膜、Al膜およびTiW膜)をパターニングしてシャント用ワード線SWLおよび配線24を形成することにより、ガードリングGRが完成する。

【0065】次に、図10に示すように、シャント用ワード線SWLおよび配線24の上層にパッシベーション膜26の一部を構成する酸化シリコン膜26aをプラズマCVD法で堆積する。続いて、図には示さない領域の酸化シリコン膜26aをエッチングしてシャント用ワー



ド線SWLと同層の配線(周辺回路の配線)の一部を露出させ、プローブ検査用のパッドを形成する。このとき、スリットS aの内部に埋め込まれた酸化シリコン膜26 aを除去するためのエッチングを同時に行い、新たなスリットS bを形成する。スリットS bは、スリットS aと同じ位置に形成するので、フォトマスクの合わせずれを考慮してスリットS aよりも大きい径(4 μm程度)で形成する。次に、プローブ検査用のパッドにプローブを当てて回路の特性試験を行った後、酸化シリコン膜26 a上にもう一度酸化シリコン膜26 aを堆積して

10 プローブ検査用のパッドを被覆する。  
【0066】次に、図11に示すように、酸化シリコン膜26 aの上部にパッシベーション膜26の一部を構成する窒化シリコン膜26 bをプラズマCVD法で堆積した後、図には示さない領域の窒化シリコン膜26 bおよびその下層の酸化シリコン膜26 aをエッチングしてワイヤ接続用のボンディングパッドを形成する。このとき、スリットS bの内部に埋め込まれた酸化シリコン膜26 aおよび窒化シリコン膜26 bを除去するためのエッチングを同時に行うことにより、スリットSが完成する。スリットSは、スリットS bと同じ位置に形成するので、フォトマスクの合わせずれを考慮してスリットS bよりも大きい径(6 μm程度)で形成する。

【0067】このように、上記した方法では、ガードリングGRの一部を形成するためのエッチング工程でスリットS aを形成し、プローブ検査用のパッドを形成するためのエッチング工程でスリットS bを形成し、ボンディングパッドを形成するためのエッチング工程でスリットSを形成するので、DRAMの製造工程を増やすことなくスリットSを形成することができる。

【0068】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0069】前記実施例では、情報蓄積用容量素子の上部にデータ線を配置するDRAMに適用した場合について説明したが、これに限定されるものではなく、データ線の上部に情報蓄積用容量素子を配置するDRAMに適用することもできる。

【0070】また、本発明はDRAMのみに適用されるものではなく、高濃度のホウ素を含んだBPSG膜を層間絶縁膜の一部に使用するすべてのデバイスに適用することができる。

【0071】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0072】(1) 本発明によれば、高濃度のホウ素を含む酸化シリコン膜と他の層間絶縁膜との界面に発生したクラックがこの界面に沿ってチップ内部へと成長した

場合でも、スリットによってその進行が停止されるので、このクラックに起因する配線腐食を確実に防止することができる。

【0073】(2) 本発明によれば、ガードリングを形成するためのエッチング工程と、半導体チップの表面を覆うパッシベーション膜を開孔してパッドを形成するためのエッチング工程とを利用してスリットを形成することにより、製造工程を増やすことなくスリットを形成することができる。

10 【図面の簡単な説明】

【図1】本発明の一実施例であるDRAMを形成した半導体チップの外観を示す平面図である。

【図2】本発明の一実施例であるDRAMを示す半導体チップの要部断面図である。

【図3】本発明の一実施例であるDRAMを形成した半導体ウエハのスクライプラインに配置されたターゲットパターンを示す平面図である。

【図4】本発明の一実施例であるDRAMの製造方法を示す半導体チップの要部断面図である。

20 【図5】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

30 【図10】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施例であるDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】BPSG膜中のホウ素濃度と配線側壁部のリフロー角との関係を示すグラフである。

【図13】BPSG膜中のホウ素濃度とチップ端部でのクラック発生による配線不良率との関係を示すグラフである。

【符号の説明】

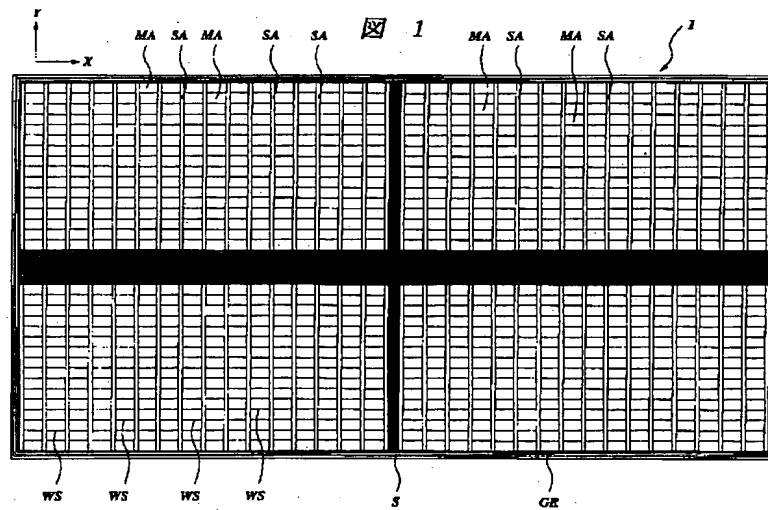
- 40 1 半導体基板(チップ)
- 2 p型ウェル
- 3 フィールド酸化膜
- 4 チャネルストッパ層
- 5 ゲート酸化膜
- 6 ゲート電極
- 7 半導体領域(ソース、ドレイン領域)
- 8 サイドウォールスペーサ
- 9 酸化シリコン膜
- 10 酸化シリコン膜
- 50 11 蓄積電極

- 11a フィン
- 11b フィン
- 12 窒化シリコン膜
- 13 接続孔
- 14 誘電体膜
- 15 プレート電極
- 17 BPSG膜
- 18 配線
- 19 接続孔
- 20 BPSG膜
- 21 配線
- 22 接続孔
- 23 層間絶縁膜
- 24 配線
- 25 接続孔
- 26 パッシベーション膜
- 26a 酸化シリコン膜

- \* 26b 窒化シリコン膜
- 27 酸化シリコン膜
- 28 酸化シリコン膜
- 29 接続孔
- C 情報蓄積用容量素子
- DL データ線
- GR ガードリング
- MA メモリアレイ
- Qt メモリセル選択用MISFET
- 10 S スリット(溝)
- SA センスアンプ列
- SWL シャント用ワード線
- T ターゲットパターン
- WL ワード線
- WS ワードシャント部
- YS Yセレクト線

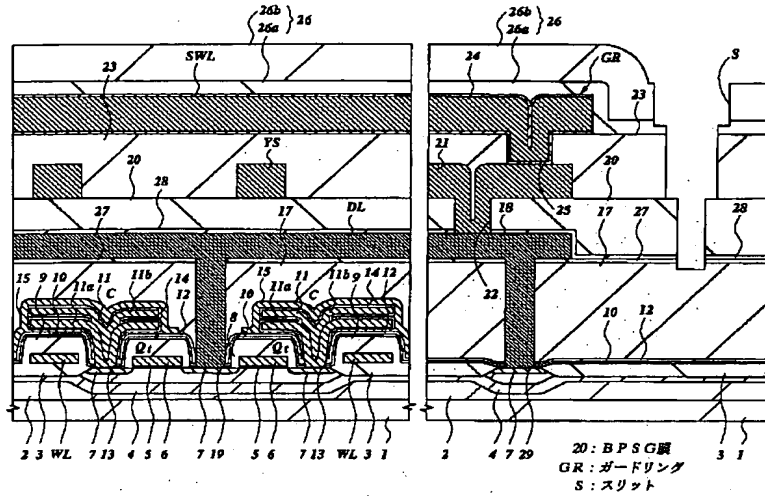
\*

【図1】

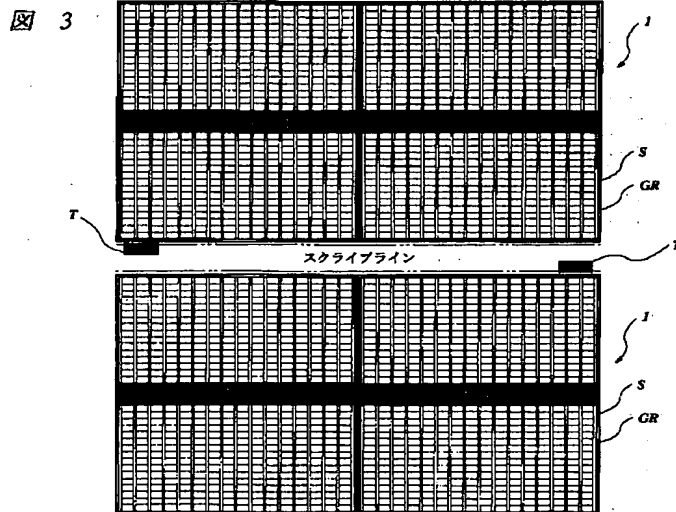


【図2】

図 2

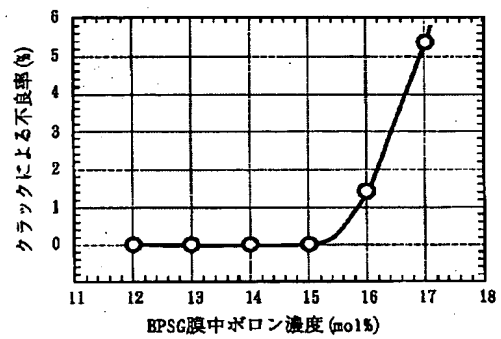


【図3】



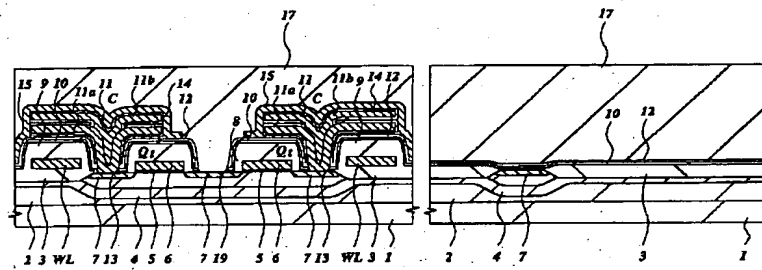
【図13】

図 13



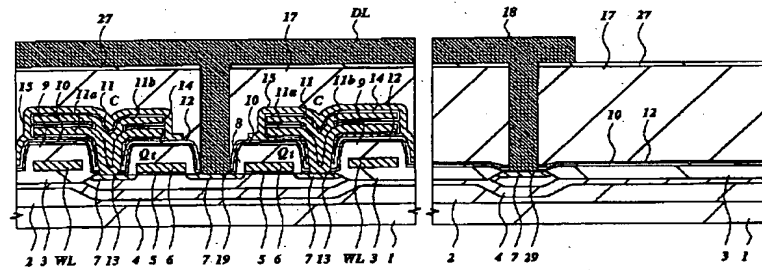
【図4】

☒ 4



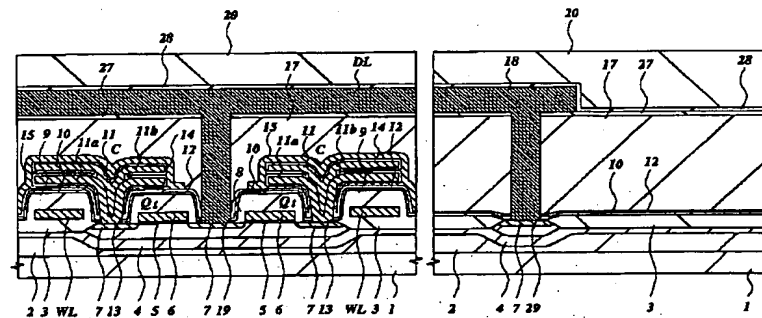
【図5】

☒ 5



【図6】

6

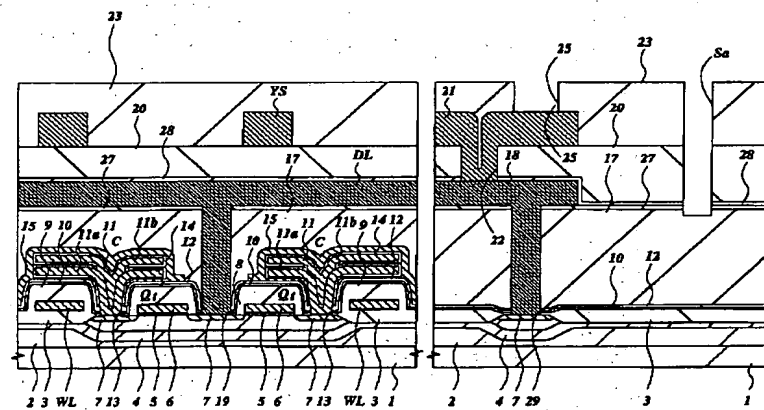


特開平9-45766

7

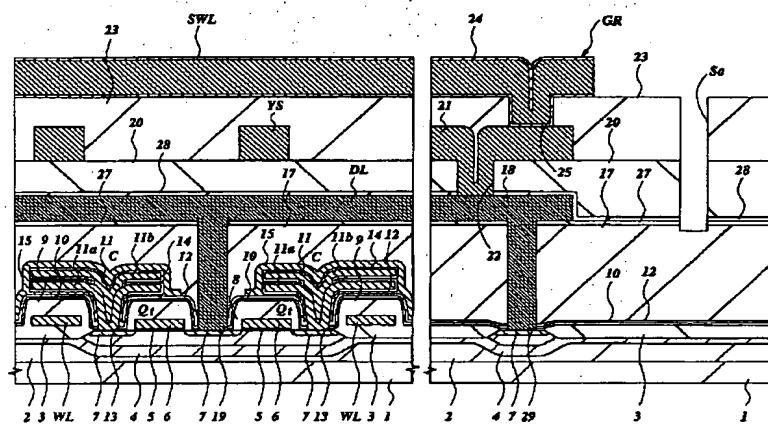


8



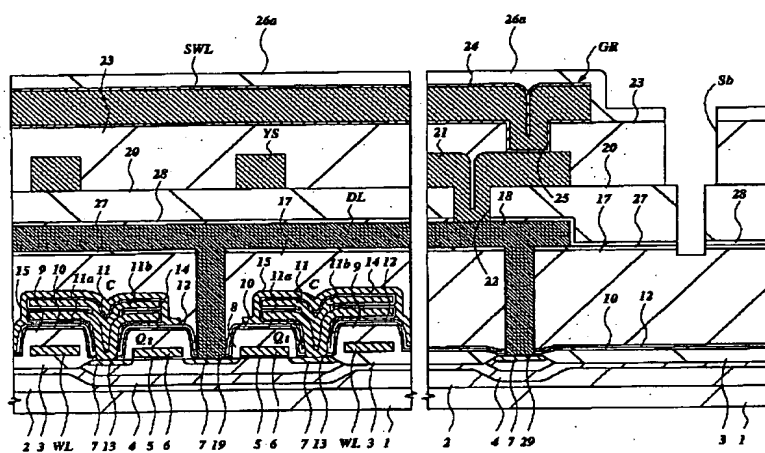
【図9】

図 9



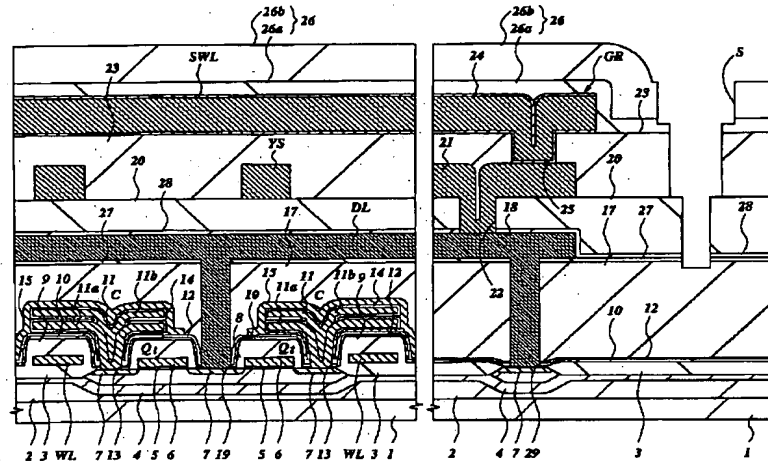
【図10】

図 10



【図11】

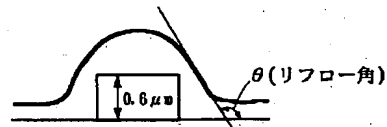
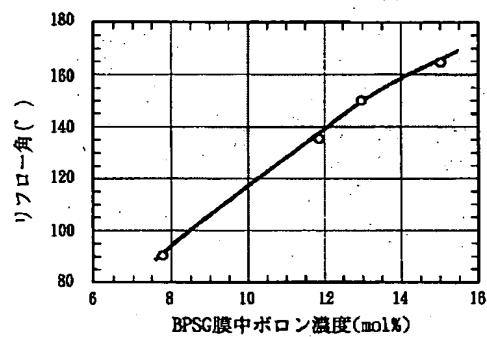
図 11



【図12】

図 12

850℃、20分のリフロー(P濃度:6mol%)



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/8242

識別記号 片内整理番号

FI  
H01L 27/10

技術表示箇所

681B

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平9-45766  
 【公開日】平成9年2月14日(1997.2.14)  
 【年通号数】公開特許公報9-458  
 【出願番号】特願平7-192723  
 【国際特許分類第7版】

H01L 21/768  
 27/04  
 21/822  
 27/08 331  
 27/108  
 21/8242

【F I】

H01L 21/90 R  
 27/08 331 B  
 27/04 C  
 27/10 621 A  
 681 F  
 681 B

【手続補正書】  
 【提出日】平成13年3月8日(2001.3.8)  
 【手続補正1】  
 【補正対象書類名】明細書  
 【補正対象項目名】発明の名称  
 【補正方法】変更  
 【補正内容】  
 【発明の名称】 半導体集積回路装置  
 【手続補正2】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正内容】  
 【特許請求の範囲】

【請求項1】 半導体チップ上に堆積した層間絶縁膜の一部を、ホウ素を含有する酸化シリコン膜で構成した半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜とその上層に堆積されたホウ素を含有しない層間絶縁膜との界面よりも深いスリットを前記半導体チップの周辺部に沿って設けたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置であって、前記半導体チップの周辺部には、水分進入防止のガードリングが設けられており、前記スリットは、前記ガードリングの外側に設けられていることを特徴とする半導体集積回路装置。

【請求項3】 請求項1記載の半導体集積回路装置であ

って、前記スリットは、前記半導体チップの周辺部に沿って連続的に設けられていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置であって、前記半導体チップの表面を覆う保護膜の少なくとも一部が窒化シリコン膜からなることを特徴とする半導体集積回路装置。

【請求項5】 請求項1記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜中のホウ素濃度が10モル%以上であることを特徴とする半導体集積回路装置。

【請求項6】 請求項1記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜の上層には、ホウ素を含有しない酸化シリコン膜が堆積され、前記ホウ素を含有しない酸化シリコン膜の上層には、少なくとも一部が窒化シリコン膜からなる保護膜が堆積されていることを特徴とする半導体集積回路装置。

【請求項7】 四角形の主面の周辺部である第1の領域と、前記第1の領域の内側の第2の領域とを有する半導体基板と、前記第2の領域に形成され、ソース領域、ドレイン領域およびゲート電極を有する複数のMISFETと、前記第1の領域および第2の領域に形成され、前記第1の領域においては前記半導体基板の主面に形成された半導体領域を露出する第1の接続孔と、前記第2の領域においては前記複数のMISFETのソース領域またはド



レイン領域を露出する第2の接続孔とを有するホウ素を含有する酸化シリコン膜と、  
前記第1の領域において、前記第1の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第1の導体層と、  
前記第2の領域において、前記第2の接続孔内および前記ホウ素を含有する酸化シリコン膜上に形成された第2の導体層と、  
前記第1および第2の導体層上に形成されたホウ素を含有しない酸化シリコン膜とを有する半導体集積回路装置であって、  
前記第1の導体層は、前記四角形の主面の周辺部に沿って配置されており、前記第1の領域において、前記第1の導体層の外側には、前記ホウ素を含有する酸化シリコン膜と、前記ホウ素を含有しない酸化シリコン膜との界面を貫通する溝が形成されていることを特徴とする半導

体集積回路装置。

【請求項8】 請求項7記載の半導体集積回路装置であって、前記ホウ素を含有する酸化シリコン膜中のホウ素濃度が10モル%以上であることを特徴とする半導体集積回路装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置に関し、特に、層間絶縁膜の一部にBPSG(Boron-doped Phospho Silicate Glass)膜を用いるデバイスに適用して有効な技術に関するものである。